

Docket No.: 60188-616

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Masayoshi TOJIMA, et al.

Serial No.:

Group Art Unit:

Filed: July 23, 2003

Examiner:

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

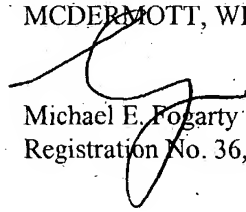
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-229452, filed August 7, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 23, 2003

日本国特許庁
JAPAN PATENT OFFICE

60188-616
Masayoshi Tojinuma, et al
July 23, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月 7日

出願番号

Application Number:

特願2002-229452

[ST.10/C]:

[JP2002-229452]

出願人

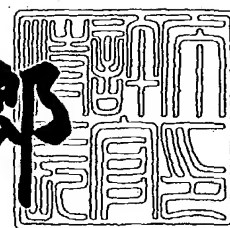
Applicant(s):

松下電器産業株式会社

2003年 2月21日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009829

【書類名】 特許願
 【整理番号】 2038240104
 【提出日】 平成14年 8月 7日
 【あて先】 特許庁長官 殿
 【国際特許分類】 G06F 12/00
 G06F 12/02
 G06F 12/06

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 東島 勝義

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 宮嶋 浩志

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岡島 吉則

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 外部処理ユニットに接続されて動作する半導体集積回路装置であって、

複数の内部メモリと、

各々データ処理のための第 1 及び第 2 処理ユニットと、

前記第 1 処理ユニット、前記第 2 処理ユニット及び前記外部処理ユニットへのアプリケーションに応じた前記複数の内部メモリの割り当てを制御するためのメモリコンフィグレーション制御部とを備えたことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、

前記第 1 処理ユニットに接続された第 1 データバスと、

前記第 2 処理ユニットに接続された第 2 データバスと、

前記外部処理ユニット専用の第 3 データバスと、

前記第 1 処理ユニットに割り当てられたメモリと前記第 1 データバスとの間に介在して DMA データ転送を司る第 1 メモリインターフェースと、

前記第 2 処理ユニットに割り当てられたメモリと前記第 2 データバスとの間に介在して DMA データ転送を司る第 2 メモリインターフェースと、

前記外部処理ユニットに割り当てられたメモリと前記第 3 データバスとの間に介在してデータ転送を司る第 3 メモリインターフェースとを更に備えたことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置において、

前記メモリコンフィグレーション制御部は、前記第 1 処理ユニット、前記第 2 処理ユニット及び前記外部処理ユニットへのアプリケーションに応じた外部メモリの割り当てを制御する機能を更に有することを特徴とする半導体集積回路装置。

【請求項 4】 請求項 3 記載の半導体集積回路装置において、

前記メモリコンフィグレーション制御部は、前記複数の内部メモリ及び前記外

部メモリの割り当てを指定するための第1レジスタを有し、

前記第1レジスタの内容を書き換えることにより前記第1～第3データバス間のデータ転送が達成されるように構成されたことを特徴とする半導体集積回路装置。

【請求項5】 請求項4記載の半導体集積回路装置において、

前記第1レジスタは、前記複数の内部メモリ及び前記外部メモリのうちのいずれかが使用されないことを指定できるように構成されたことを特徴とする半導体集積回路装置。

【請求項6】 請求項3記載の半導体集積回路装置において、

前記メモリコンフィグレーション制御部は、前記複数の内部メモリ及び前記外部メモリの各々の記憶容量を指定するための第2レジスタを有することを特徴とする半導体集積回路装置。

【請求項7】 請求項2記載の半導体集積回路装置において、

前記第1処理ユニットと前記第1又は第2データバスとの選択的な接続を制御するための第1バスセクタと、

前記第2処理ユニットと前記第1又は第2データバスとの選択的な接続を制御するための第2バスセクタとを更に備えたことを特徴とする半導体集積回路装置。

【請求項8】 請求項2記載の半導体集積回路装置において、

前記第1処理ユニットはローカルメモリを有し、

前記第1処理ユニットに割り当てられたメモリと前記ローカルメモリとの間のDMAデータ転送が行えるように構成されたことを特徴とする半導体集積回路装置。

【請求項9】 請求項2記載の半導体集積回路装置において、

前記外部処理ユニットと前記第3データバスとの間に介在したホストインターフェースと、

前記ホストインターフェースと前記第1又は第2データバスとの選択的な接続を制御するための第3バスセクタとを更に備えたことを特徴とする半導体集積回路装置。

【請求項 1 0】 請求項 2 記載の半導体集積回路装置において、

前記第 3 データバスと前記第 3 メモリインターフェース又は前記第 2 データバスとの選択的な接続を制御するための第 4 バスセクタを更に備えたことを特徴とする半導体集積回路装置。

【請求項 1 1】 請求項 1 0 記載の半導体集積回路装置において、

前記第 4 バスセクタが前記第 3 データバスと前記第 3 メモリインターフェースとの接続を選択する場合には相対アドレスを、前記第 4 バスセクタが前記第 3 データバスと前記第 2 データバスとの接続を選択する場合には絶対アドレスをそれぞれ前記外部処理ユニットから受け取るように構成されたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数の内部メモリと、各々データ処理のための複数の処理ユニットとを有し、かつ外部処理ユニットに接続されて動作する半導体集積回路装置に関するものである。

【0 0 0 2】

【従来の技術】

特開平 1 0 - 2 7 1 3 1 号公報には、複数の通信コントローラからの DMA 転送要求に対して競合制御をなす共有メモリ装置において、あるメモリバンクが使用中でも他のメモリバンクにはアクセスを可能にし、以て各通信コントローラが共有メモリアクセスで待たされる頻度を減らす技術が開示されている。

【0 0 0 3】

特開 2 0 0 1 - 4 3 1 8 0 号公報には、複数個のリソースが単一のメモリを共用し、かつ並列にノーウェイト・アクセスが可能なマイクロプロセッサが開示されている。

【0 0 0 4】

【発明が解決しようとする課題】

さて、複数の内部メモリと、各々データ処理のための複数の処理ユニットとを

有し、かつ外部処理ユニットに接続されて動作する半導体集積回路装置では、各処理ユニットへのメモリ配分が肝要である。

【0005】

本発明の目的は、アプリケーションに応じた合目的的なメモリ配分を実現できるようにすることにある。

【0006】

【課題を解決するための手段】

上記目的を達成するため、本発明は、外部処理ユニットに接続されて動作する半導体集積回路装置において、複数の内部メモリと、各々データ処理のための第1及び第2処理ユニットと、前記第1処理ユニット、前記第2処理ユニット及び前記外部処理ユニットへのアプリケーションに応じた前記複数の内部メモリの割り当てを制御するためのメモリコンフィグレーション制御部とを備えた構成を採用することとしたものである。

【0007】

本発明によれば、アプリケーションに応じた合目的的なメモリ配分を実現できる。例えば、複数の内部メモリを第1処理ユニット、第2処理ユニット及び外部処理ユニットの三者それぞれに配分したり、複数の内部メモリの全てを第1又は第2処理ユニットに占有させたりすることができる。また、複数の内部メモリの全てを外部処理ユニットに占有させることも可能である。最後の例では、当該半導体集積回路装置が外部処理ユニットのための単なるメモリ装置として動作することとなる。

【0008】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0009】

図1は、本発明に係る半導体集積回路装置の内部構成例とその外部接続例を示している。図1の半導体集積回路装置10は、画像処理用であって、外部処理ユニットであるCPU11と、画像入力のためのカメラ12と、画像表示のための液晶ディスプレイ（LCD）13と、SDRAMからなる外部メモリ14とに接

続されて動作するものである。外部メモリ 14 の最大記憶容量は、例えば 256 Mbit (メガビット) である。

【0010】

図1の半導体集積回路装置10は、SRAM0~3からなる複数の内部メモリ20~23と、MPEG-4に準拠したコーデック(エンコード/デコード)機能を有する画像データ処理のための第1処理ユニットであるメインプロセッサ(MP)24と、ビデオ(Video)表示系の処理を司る画像データ処理のための第2処理ユニットであるビデオインターフェース(VIF)25及びグラフィックスプロセッサ(GFX)26と、ホストインターフェース(HIF)27と、非同期シリアルインターフェース(UART)28とを備えている。内部メモリ20~23の各々の記憶容量は、例えば2Mbit又は4Mbitである。ビデオインターフェース25はカメラ12及び液晶ディスプレイ13に、ホストインターフェース27及び非同期シリアルインターフェース28はCPU11にそれぞれ接続される。

【0011】

図1の半導体集積回路装置10は、メモリコンフィグレーション制御部31を有するメモリ制御部30を更に備えている。メモリコンフィグレーション制御部31は、メインプロセッサ24、ビデオインターフェース25及びグラフィックスプロセッサ26、CPU11の各々へのアプリケーションに応じたメモリ配分を制御するものである。メインプロセッサ24は、内部メモリ20~23及び外部メモリ14のうち当該メインプロセッサ24に割り当てられたメモリをワーク(Work)領域として使用する。ビデオインターフェース25及びグラフィックスプロセッサ26は、内部メモリ20~23及び外部メモリ14のうち当該ビデオインターフェース25及びグラフィックスプロセッサ26に割り当てられたメモリを、一般にフレームメモリと呼ばれるフレーム(Frame)領域として使用する。CPU11は、内部メモリ20~23及び外部メモリ14のうち当該CPU11に割り当てられたメモリをCPU領域として使用する。

【0012】

メモリ制御部30は、第1メモリインターフェースであるワーク領域メモリイ

ンターフェース (WMIF) 32と、第2メモリインターフェースであるフレーム領域メモリインターフェース (FMIF) 33と、第3メモリインターフェースであるCPU領域メモリインターフェース (CPUIF) 34とを更に有する。これに対応して図1の半導体集積回路装置10には、WMバス (第1データバス) 40と、FMバス (第2データバス) 41と、CPU11専用のCPUバス (第3データバス) 42とが設けられている。WMIF32は、メインプロセッサ24に割り当てられたワーク領域とWMバス40との間に介在してDMAデータ転送要求の調停・制御を行う。FMIF33は、ビデオインターフェース25及びグラフィックスプロセッサ26に割り当てられたフレーム領域とFMバス41との間に介在してDMAデータ転送要求の調停・制御を行う。CPUIF34は、CPU領域とCPUバス42との間に介在してデータ転送を司るインターフェースである。以上のとおり、ワーク領域に割り当てられたメモリはWMIF32を介して、フレーム領域に割り当てられたメモリはFMIF33を介して、CPU領域に割り当てられたメモリはCPUIF34を介してそれぞれアクセスされるようになっている。なお、グラフィックスプロセッサ26とホストインターフェース27との間にはホストバス43が設けられている。また、メインプロセッサ24は、ホストインターフェース27に接続されたローカルバス44を有している。

【0013】

メインプロセッサ24は、MP用バスセクタ50を介してWMバス40又はFMバス41のいずれかに接続可能であり、かつ複数のローカルメモリ (DM1、DM2及びGM) 51~53と、複数のハードウェアエンジン (ENG) 54とをローカルバス44上に備えている。各ハードウェアエンジン54は、MPEG画像データのエンコード/デコードのための部分処理コアである。ビデオインターフェース25は、VIF用バスセクタ55を介してWMバス40又はFMバス41のいずれかに接続可能である。グラフィックスプロセッサ26は、WMバス40及びFMバス41のうちFMバス41のみに接続可能である。ホストインターフェース27は、HIF用バスセクタ60を介してWMバス40又はFMバス41のいずれかに接続可能である。また、ホストインターフェース27は

、CPUバス42及びCPUIF用バスセクタ61を介して、CPUIF34又はFMバス41のいずれかに接続可能である。非同期シリアルインターフェース28は、UART用バスセクタ62を介してWMバス40又はFMバス41のいずれかに接続可能である。

【0014】

メインプロセッサ24は、ローカルメモリ51～53とワーク領域との間のMP用バスセクタ50、WMバス40及びWMIF32を介したDMAデータ転送と、ローカルメモリ51～53とフレーム領域との間のMP用バスセクタ50、FMバス41及びFMIF33を介したDMAデータ転送とを命令することができる。また、メインプロセッサ24は、ホストインターフェース27に内蔵されたホストメモリとワーク領域との間のHIF用バスセクタ60、WMバス40及びWMIF32を介したDMAデータ転送と、ホストインターフェース27に内蔵されたホストメモリとフレーム領域との間のHIF用バスセクタ60、FMバス41及びFMIF33を介したDMAデータ転送とを命令することができる。更に、メインプロセッサ24は、非同期シリアルインターフェース28に内蔵されたFIFOメモリとワーク領域との間のUART用バスセクタ62、WMバス40及びWMIF32を介したDMAデータ転送と、非同期シリアルインターフェース28に内蔵されたFIFOメモリとフレーム領域との間のUART用バスセクタ62、FMバス41及びFMIF33を介したDMAデータ転送とを命令することができる。ローカルメモリ51～53とワーク領域との間のDMAデータ転送と、ホストインターフェース27に内蔵されたホストメモリ又は非同期シリアルインターフェース28に内蔵されたFIFOメモリとフレーム領域との間のDMAデータ転送とは、並列実行可能である。また、ローカルメモリ51～53とフレーム領域との間のDMAデータ転送と、ホストインターフェース27に内蔵されたホストメモリ又は非同期シリアルインターフェース28に内蔵されたFIFOメモリとワーク領域との間のDMAデータ転送とは、並列実行可能である。

【0015】

更に、メインプロセッサ24は、ビデオインターフェース25の内蔵メモリと

ワーク領域との間のV I F用バスセクタ55、WMバス40及びWM I F 32を介したDMAデータ転送と、ビデオインターフェース25の内蔵メモリとフレーム領域との間のV I F用バスセクタ55、FMバス41及びFM I F 33を介したDMAデータ転送とを命令することができる。また、メインプロセッサ24は、グラフィックスプロセッサ26の内蔵メモリとフレーム領域との間のFMバス41及びFM I F 33を介したDMAデータ転送を命令することもできる。メインプロセッサ24のローカルメモリ51～53とワーク領域との間のDMAデータ転送と、ビデオインターフェース25又はグラフィックスプロセッサ26の内蔵メモリとフレーム領域との間のDMAデータ転送とは、並列実行可能である。また、メインプロセッサ24のローカルメモリ51～53とフレーム領域との間のDMAデータ転送と、ビデオインターフェース25又はグラフィックスプロセッサ26の内蔵メモリとワーク領域との間のDMAデータ転送とは、並列実行可能である。メインプロセッサ24は、例えばビデオインターフェース25のためのDMAデータ転送が行われている間に、ローカルメモリ51～53を用いてデータ処理を進めることもできる。

【0016】

CPU11には、パラレルデータ用に3つのメモリアクセス経路が用意されている。第1は、ホストインターフェース27経由のアクセスであって、例えばCPU11からの書き込みはホストインターフェース27に内蔵されたホストメモリに対してなされる。これに応答して、メインプロセッサ24は、ホストメモリとワーク領域又はフレーム領域との間のDMAデータ転送を命令する。これにより、CPU11は、例えばフレーム領域の一部へのグラフィックスデータの書き込みを達成することができる。第2はCPU11がホストメモリを経由せずにCPU領域をアクセスする場合の経路であって、CPU11からホストインターフェース27、CPUバス42、CPU I F用バスセクタ61及びCPU I F 34を経てCPU領域へ至る経路である。第3は、CPU11がホストメモリを経由せずにフレーム領域をアクセスする場合の経路であって、CPU11からホストインターフェース27、CPUバス42、CPU I F用バスセクタ61、FMバス41及びFM I F 33を経てフレーム領域へ至る経路である。第2の経路

が選択される場合には、CPU 11によりメモリの相対アドレス指定がなされる。また、第1又は第3の経路によるDMAデータ転送が選択される場合には、CPU 11によりメモリの絶対アドレス指定がなされ、かつ他の（ビデオインターフェース25、グラフィックスプロセッサ26等の）DMAデータ転送要求との調停がなされる。なお、CPU 11のDMA優先順位は、グラフィックスプロセッサ26の次に低く設定しておくのがよい。

【0017】

図2は、図1の半導体集積回路装置10のアプリケーションに応じた動作モード毎のメモリ配分の例を示している。ここでは、4個の内部メモリ20～23の各々が2Mbitの記憶容量を有するものとする。つまり、内部メモリ20～23の総容量が8Mbitである。メモリコンフィグレーション制御部31は、これらの限られたメモリ資源を有効に活用するために重要な役割を担っている。例えば動作モードAでは、内部メモリ20～23の全てをメインプロセッサ24が占有する。動作モードBでは、内部メモリ20～23の総容量のうち6Mbitがメインプロセッサ24に、2Mbitがビデオインターフェース25及びグラフィックスプロセッサ26にそれぞれ配分される。動作モードCでは、内部メモリ20～23の総容量のうち4Mbitがメインプロセッサ24に、4Mbitがビデオインターフェース25及びグラフィックスプロセッサ26にそれぞれ配分される。動作モードDでは、内部メモリ20～23の総容量のうち4Mbitがメインプロセッサ24に、2Mbitがビデオインターフェース25及びグラフィックスプロセッサ26に、2MbitがCPU 11にそれぞれ配分される。動作モードEでは、内部メモリ20～23の総容量のうち4Mbitがビデオインターフェース25及びグラフィックスプロセッサ26に、4MbitがCPU 11にそれぞれ配分される。動作モードFでは、内部メモリ20～23の全てをビデオインターフェース25及びグラフィックスプロセッサ26が占有する。動作モードGでは、内部メモリ20～23の全てをCPU 11が占有する。最後の動作モードGでは、メインプロセッサ24、ビデオインターフェース25及びグラフィックスプロセッサ26の各々の本来の機能が停止され、当該半導体集積回路装置10がCPU 11のための単なるメモリ装置として動作することとなる。

以上のとおり、メモリコンフィグレーション制御部 3 1 により、アプリケーションに応じた合目的的なメモリ配分を実現できる。なお、メインプロセッサ 2 4 による M P E G - 4 処理と、ビデオインターフェース 2 5 及びグラフィックスプロセッサ 2 6 によるビデオ表示系処理と、CPU 1 1 による処理とは、互いに並列動作可能である。

【 0 0 1 8 】

メモリコンフィグレーション制御部 3 1 は、各メモリの用途を指定するための第 1 レジスタと、各メモリの記憶容量を指定するための第 2 レジスタとを備えており、これらのレジスタに従って、WMIF 3 2、FMIF 3 3 及び CPUIF 3 4 からのアクセス信号を各メモリへ振り分ける。

【 0 0 1 9 】

図 3 (a) は 1 0 ビット構成の第 1 レジスタの例を、図 3 (b) は同レジスタの最下位 2 ビットの意味をそれぞれ示している。内部メモリ 2 0 ~ 2 3 の 1 つである SRAM 0 に割り当てられた第 1 レジスタのビット 1, 0 が “ 0 0 ” ならば SRAM 0 がワーク領域として、“ 0 1 ” ならば SRAM 0 がフレーム領域として、“ 1 0 ” ならば SRAM 0 が CPU 領域としてそれぞれ使用される。SRAM 0 に例えば欠陥があるため当該 SRAM 0 が使用されない場合には、第 1 レジスタのビット 1, 0 に “ 1 1 ” を設定すればよい。この場合には SRAM 0 への電源供給が停止され、かつ当該 SRAM 0 へのアドレスの割り振りがなされないようにすることができる。同様に、第 1 レジスタのビット 3, 2 は SRAM 1 の、ビット 5, 4 は SRAM 2 の、ビット 7, 6 は SRAM 3 の、ビット 9, 8 は SDRAM からなる外部メモリ 1 4 のそれぞれの用途を指定する。なお、第 1 レジスタの内容を適宜書き換えれば、WMバス 4 0、FMバス 4 1 及び CPUバス 4 2 の間のデータ転送を達成することができる。例えば、第 1 レジスタのビット 3, 2 を “ 0 0 (ワーク領域) ” から “ 0 1 (フレーム領域) ” に変更すれば、WMバス 4 0 を介して内部メモリ 2 0 ~ 2 3 の 1 つである SRAM 1 に書き込んだデータを、FMバス 4 1 へ読み出すことができる。

【 0 0 2 0 】

第 1 レジスタは、DMA 予約を行っていないメモリに関しては動作途中で変更

することができるが、DMA 予約を行っておりかつアクセス中又はアクセスする可能性のあるメモリについては第 1 レジスタの内容を変更できないようにしておくのがよい。第 1 レジスタの変更は、基本的にメインプロセッサ 2 4 のソフトウェアの責任のもとに行われる。

【0 0 2 1】

図 4 (a) は各メモリの記憶容量を指定するための 6 ビット構成の第 2 レジスタの例を、図 4 (b) は同レジスタの最下位ビットの意味を、図 4 (c) は同レジスタの最上位 2 ビットの意味をそれぞれ示している。内部メモリ 2 0 ~ 2 3 の 1 つである S R A M 0 に割り当てられた第 2 レジスタのビット 0 が “0” ならば S R A M 0 が 2 M b i t の記憶容量を、“1” ならば S R A M 0 が 4 M b i t の記憶容量をそれぞれ有する。同様に、第 2 レジスタのビット 1 は S R A M 1 の、ビット 2 は S R A M 2 の、ビット 3 は S R A M 3 のそれぞれの記憶容量を指定する。また、S D R A M からなる外部メモリ 1 4 に割り当てられた第 2 レジスタのビット 5, 4 が “0 1” ならば同 S D R A M が 6 4 M b i t の記憶容量を、“1 0” ならば同 S D R A M が 1 2 8 M b i t の記憶容量を、“1 1” ならば同 S D R A M が 2 5 6 M b i t の記憶容量をそれぞれ有する。何らかの理由で外部メモリ 1 4 が使用されない場合には、第 2 レジスタのビット 5, 4 に “0 0” を設定すればよい。なお、第 2 レジスタの内容は、当該半導体集積回路装置 1 0 の起動時に決定されるようになっている。

【0 0 2 2】

図 5 (a) は図 1 の半導体集積回路装置 1 0 において C P U 1 1 に割り当てられたメモリに絶対アドレス指定を行う例を、図 5 (b) は C P U 1 1 に割り当てられたメモリに相対アドレス指定を行う例をそれぞれ示している。ここでは、内部メモリ 2 0 ~ 2 3 の各々の記憶容量が 2 M b i t であり、外部メモリ 1 4 の記憶容量が 1 2 8 M b i t であって、内部メモリ 2 0 ~ 2 3 のうちの S R A M 0 及び S R A M 1 がいずれもワーク領域に、内部メモリ 2 0 ~ 2 3 のうちの S R A M 2 及び S R A M 3 がいずれも C P U 領域に、外部メモリ 1 4 がフレーム領域にそれぞれ指定されたものとしている。両図によれば、例えばメインプロセッサ 2 4 から見れば、ワーク領域、フレーム領域、C P U 領域を問わず、1 つの連続した

アドレス空間として各メモリにアドレスが割り振られている。一方、外部のCPU 11から見えるCPU領域のアドレスマップは、図5 (a) の絶対アドレス又は図5 (b) の相対アドレスのいずれかが選択可能である。図5 (b) の相対アドレス指定によれば、CPU領域が常にアドレス0からマップされるので、CPU 11の負担が軽減される。

【0023】

【発明の効果】

以上説明してきたとおり、本発明によれば、外部処理ユニットに接続されて動作する半導体集積回路装置において、複数の内部メモリと、各々データ処理のための第1及び第2処理ユニットと、前記第1処理ユニット、前記第2処理ユニット及び前記外部処理ユニットへのアプリケーションに応じた前記複数の内部メモリの割り当てを制御するためのメモリコンフィグレーション制御部とを備えた構成を採用することとしたので、合目的的なメモリ配分を実現できる。

【図面の簡単な説明】

【図1】

本発明に係る半導体集積回路装置の内部構成例とその外部接続例を示すブロック図である。

【図2】

図1の半導体集積回路装置のアプリケーションに応じた動作モード毎のメモリ配分の例を示す図である。

【図3】

(a) は図1の半導体集積回路装置における各メモリの用途を指定するための第1レジスタの例を、(b) は同レジスタの最下位2ビットの意味をそれぞれ示す図である。

【図4】

(a) は図1の半導体集積回路装置における各メモリの記憶容量を指定するための第2レジスタの例を、(b) は同レジスタの最下位ビットの意味を、(c) は同レジスタの最上位2ビットの意味をそれぞれ示す図である。

【図5】

(a) は図 1 の半導体集積回路装置において外部の CPU に割り当てられたメモリに絶対アドレス指定を行う例を、(b) は外部の CPU に割り当てられたメモリに相対アドレス指定を行う例をそれぞれ示す図である。

【符号の説明】

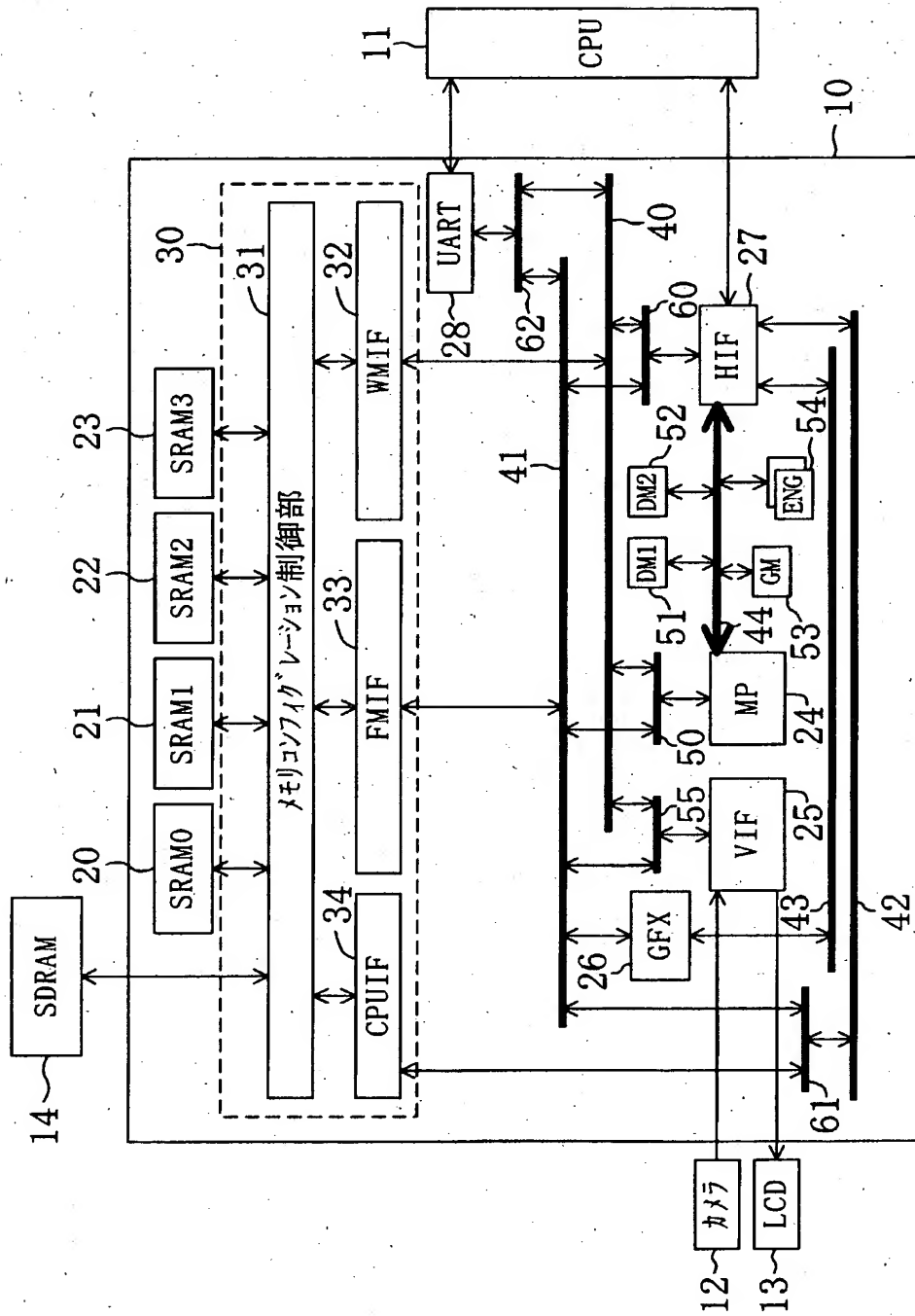
- 1 0 半導体集積回路装置
- 1 1 CPU (外部処理ユニット)
- 1 2 カメラ
- 1 3 液晶ディスプレイ (LCD)
- 1 4 外部メモリ (SDRAM)
- 2 0 ~ 2 3 内部メモリ (SRAM 0 ~ 3)
- 2 4 メインプロセッサ (MP : 第 1 処理ユニット)
- 2 5 ビデオインターフェース (VIF : 第 2 処理ユニット)
- 2 6 グラフィックスプロセッサ (GFX : 第 2 処理ユニット)
- 2 7 ホストインターフェース (HIF)
- 2 8 非同期シリアルインターフェース (UART)
- 3 0 メモリ制御部
- 3 1 メモリコンフィグレーション制御部
- 3 2 WMIF (第 1 メモリインターフェース)
- 3 3 FMIF (第 2 メモリインターフェース)
- 3 4 CPUIF (第 3 メモリインターフェース)
- 4 0 WMバス (第 1 データバス)
- 4 1 FMバス (第 2 データバス)
- 4 2 CPUバス (第 3 データバス)
- 4 3 ホストバス
- 4 4 MP用ローカルバス
- 5 0 MP用バスセクタ (第 1 バスセクタ)
- 5 1 ~ 5 3 MP用ローカルメモリ
- 5 4 MP用ハードウェアエンジン
- 5 5 VIF用バスセクタ (第 2 バスセクタ)

- 60 HIF用バスセクタ (第3バスセクタ)
- 61 CPUIF用バスセクタ (第4バスセクタ)
- 62 UART用バスセクタ

【書類名】

図面

【図 1】



【図 2】

動作モード	MPEG-4処理 (MP)	Video表示系 (VIF, GFX) 処理	CPUX処理
A	8Mbit		
B	6Mbit	2Mbit	
C	4Mbit	4Mbit	
D	4Mbit	2Mbit	2Mbit
E		4Mbit	4Mbit
F		8Mbit	
G			8Mbit

【図 3】

(a)

メモリ	SDRAM		SRAM3		SRAM2		SRAM1		SRAM0	
第1レジスタ	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値	00		00		00		00		00	

(b)

bit1	bit0	意味
0	0	Work領域
0	1	Frame領域
1	0	CPU領域
1	1	未使用

【図 4】

(a)

メモリ	SDRAM	SRAM3	SRAM2	SRAM1	SRAM0
第2レジスタ	bit5-4	bit3	bit2	bit1	bit0
初期値	00	0	0	0	0

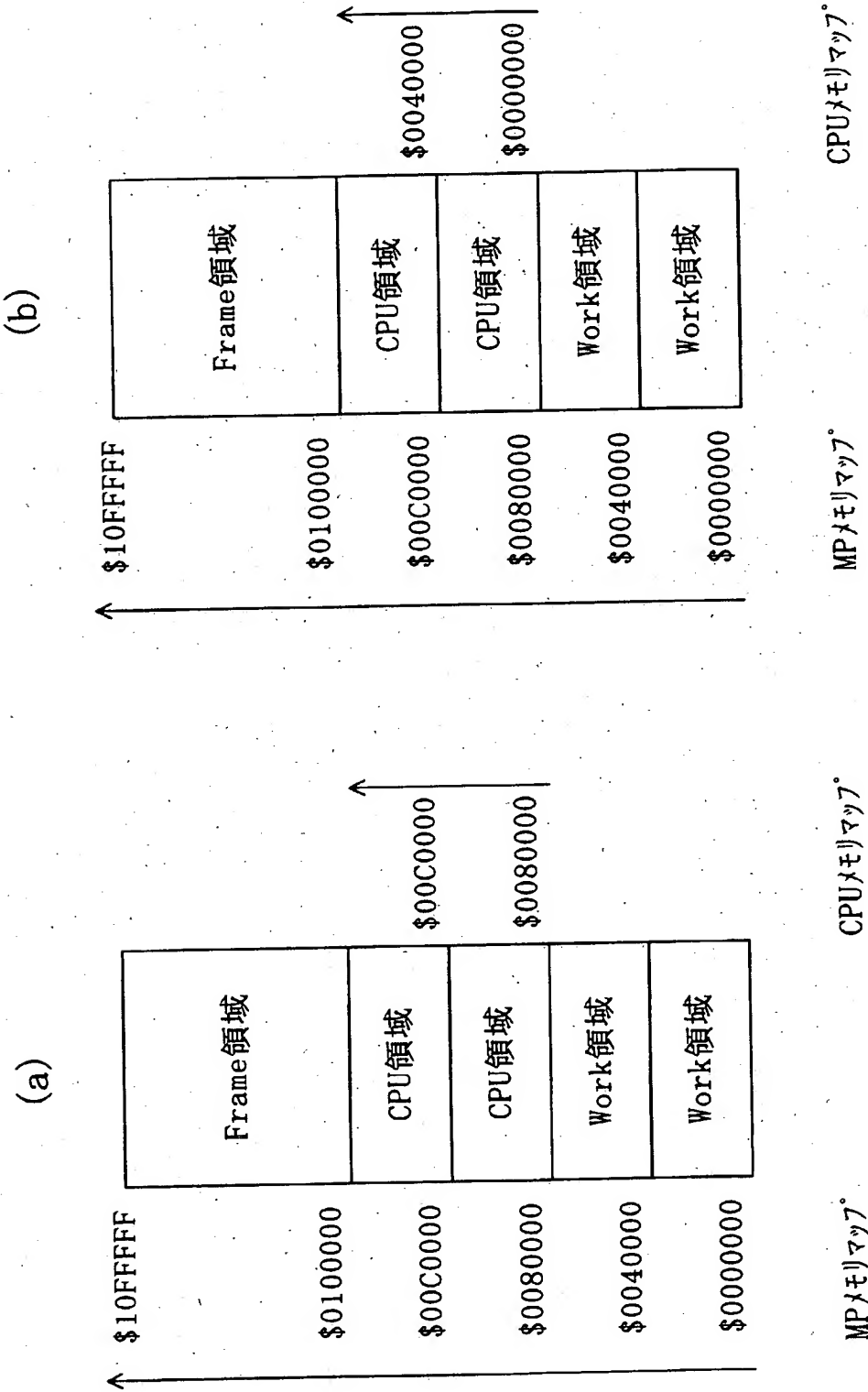
(b)

bit0	意味
0	2Mbit
1	4Mbit

(c)

bit5	bit4	意味
0	0	未使用
0	1	64Mbit
1	0	128Mbit
1	1	256Mbit

【図 5】



【書類名】 要約書

【要約】

【課題】 アプリケーションに応じたメモリ配分を実現する。

【解決手段】 複数の内部メモリ 2 0 ～ 2 3 と、コーデック機能を有する第 1 処理ユニットであるメインプロセッサ 2 4 と、ビデオ表示系の処理を司る第 2 処理ユニットであるビデオインターフェース 2 5 及びグラフィックスプロセッサ 2 6 とを有し、かつ外部処理ユニットである CPU 1 1 と、外部メモリ 1 4 とに接続されて動作する半導体集積回路装置 1 0 に、第 1、第 2 及び外部処理ユニットの各々へのアプリケーションに応じたメモリ配分を制御するためのメモリコンフィグレーション制御部 3 1 を設ける。メモリコンフィグレーション制御部 3 1 は、各メモリの用途を指定するための第 1 レジスタと、各メモリの記憶容量を指定するための第 2 レジスタとを備え、これらのレジスタに従って第 1 ～ 第 3 メモリインターフェース 3 2 ～ 3 4 からのアクセス信号を各メモリへ振り分ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社